

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-056036

(43)Date of publication of application : 24.02.1998

---

(51)Int.Cl. H01L 21/60  
H01L 23/52  
H01L 25/00

---

(21)Application number : 09-146225

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 04.06.1997

(72)Inventor : RUSH KENNETH

---

(30)Priority

Priority number : 96 657582    Priority date : 07.06.1996    Priority country : US

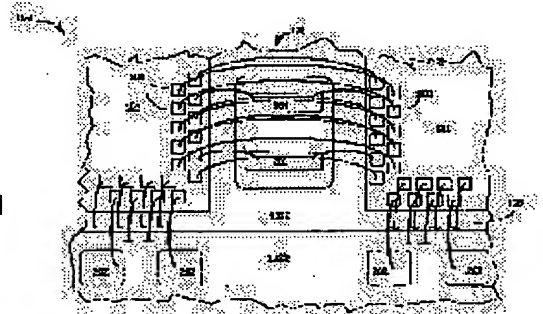
---

(54) HIGH DENSITY CHIP INTERCONNECTION USING WIRE BONDING FOR MULTICHIP MODULE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To increase the data amount to be transmitted between chips by increasing the number of interconnection wires to be connected to the integrated circuit in a multichip module.

**SOLUTION:** A multichip module, having a multisubstrate and a patternized metalization layer formed on each layer of the multilayer substrate, is provided. A multilayer cavity is formed in such a manner that the mounting part of an integrated circuit(IC) 101 comes to the bottom part. A plurality of ICs 101 are attached to the mounting surface of the IC mounting surface of the cavity. The wire bonding 105, which makes the first set, is extended to the exposed part of the patternized metalization layer at least in two layers from an IC 101. Also, the wire bonding 105, which makes the second set, is extended to the bonding pad of the adjacent IC 101 at least from an IC 101. Besides, the wire bonding 105, which makes the third set, is extended at least to the bonding pad of the adjacent IC 101, and the wire bonding 105, which makes the third set, has the loop height higher than the wire bonding 105 which makes the second set.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] it forms in said die clamp face of the substrate with which the die clamp face was formed, and said substrate — having — two or more touch-down — a conductor and two or more power sources — with the patternizing metallization which gives a conductor The 1st integrated circuit attached in said patternizing metallization of said die clamp face, The bond pad which makes the 1st train formed around said 1st integrated circuit, The bond pad which makes the 2nd train formed inside [ which makes said 1st train around said 1st integrated circuit ] the bond pad, The 2nd integrated circuit attached in said die clamp face, and the bond pad which makes the 3rd train formed around said 2nd integrated circuit, The bond pad which makes the 4th train formed inside [ which makes said 3rd train around said 2nd integrated circuit ] the bond pad, The wire bond which makes the 1st group which combines the bond pad which makes said 2nd train with the bond pad which makes said 4th train, The wire bond which makes the 2nd group which combines the bond pad chosen from the bond pad which makes said 1st train with the bond pad chosen from the bond pad which makes said 3rd train, The wire bond except the wire bond which combines the bond pad chosen from the bond pad which makes said 1st train with said patternizing metallization formed in said substrate and which makes said 2nd group which makes the 3rd group, Combine the bond pad chosen from the bond pad which makes said 3rd train with said patternizing metallization formed in said substrate. The multi chip module characterized by having the wire bond except the wire bond which makes said 2nd group which makes the 4th group.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Generally especially this invention relates to the high density connection during the chip in a multi chip module about a multi chip module.

[0002]

[Description of the Prior Art] The device which can be included in a single chip, and the number of functions increase increasingly as an integrated-circuit processing technique is improved. However, as a result, it is necessary to increase the electric number of connection to an integrated circuit. The most general method of making electric connection between IC and a package is wirebonding today. Wire bond is the minimum pitch restricted by the latest wirebonding machine, and is arranged around IC. The

electrical installation performed inside IC can be formed by the geometry far smaller than the geometry supported by the wirebonding machine. Therefore, in the circumference of a chip, Lycium chinense did not grow in the available wire Bond number about increase of the demand to the electrical installation produced by improvement of a semi-conductor processing technique. The improvement of the wirebonding technique in which there is no delay is needed for the demand of electrical installation.

[0003] There is a thing of enlarging the circumference of a chip more as a solution proposed so far in order to support much interconnect. However, not the use with the sufficient effectiveness of silicon but increase of cost usually nonpermissible as a result will produce this. By other proposals, using the bond pad distributed covering the whole body of IC is suggested. However, the technique on actual for performing interconnect which is sufficient for reliance to the interior of a chip is special. There are some remedies realized by arranging the bond pad of bond 2 train alternately on IC. Wire bond can be formed between the bond pads of two trains to the non-plane bond pad (namely, multi-level) on a support substrate. By this alternate bond pad method, the wire Bond number which can be formed between a chip, an external package, or a leadframe doubles effectively.

[0004] Implementation of interconnect between integrated circuits poses especially a problem, when it is the multi chip module as which tooth spaces run short and electrical installation with the wide bandwidth during a chip is required strongly. In the case of the "scalable" technique which raises the engine performance, this is well applied especially by forming an integrated-circuit array same type. As an example of a scalable technique, programmable logical elements, such as memory, a programmable gate array (PGA), a Programmable Logic Array (PLA), and a field-programmable gate array (FPGA), are mentioned.

[0005] Two or more chips are attached in a common substrate with a multichip configuration. The substrate has the printed-circuit channel and the bond pad. Wire bond is formed from each chip even to the bond pad on a substrate. A printed-circuit channel is used in order to connect each wire bond to the wire bond of a request of another chip. However, the consistency of the bond pad obtained in the conventional substrate process becomes low far compared with what can be formed in IC. Therefore, a chip wiring consistency is restricted by the substrate technique. By extending spacing which arranges a chip, it becomes possible to develop wire bond in a sector to the bond pad formed in a substrate. The parasitic capacitance and the inductance which the size of the whole package becomes large, and the physical die length of each connection will increase by this, consequently will restrict the rate of the signal during a chip which can be spread will increase.

[0006] There are some in which even the bond pad of the chip which adjoins from the bond pad of one chip formed wire bond directly in a commercial MCM device. The effect by mediation of substrate bond is lost by this configuration. However, the high density of an alternate bond pad was not able to be used by the direct bonding between chips until now.

[0007] According to other solutions proposed, the data transmission capacity of each wire is extended. For example, G.Y.Yacoub etc. has proposed that bidirectional data transfer on a single wire can be made possible using three voltage levels in the paper it is. [ "Self-Timed Simultaneous Bi-directional Signaling for IC Systems" (IEEE, 1992) ] entitled. The same approach is discussed by Mooney etc. in "A 900 Mb/s Bi-directional Signaling Scheme" (IEEE Journal of Solid-State Circuits Vol.30, No.12, December, 1995). These systems need prudent adjustment of resistance during the contiguity chip for obtaining noise margin sufficient between highly precise adjustment of the component which has the tolerance in an integrated circuit, and three voltage levels. As other approaches proposed, although the multiplexing technique of a time domain or a frequency domain is mentioned, these increase the complexity of a system.

[0008] The important element about a success and dependability of a high density wirebonding technique is the separation between wires. Since an integrated circuit operates at whether wire bond is expanded and the becoming elevated temperature, if two wire bond approaches too much not much, a short circuit may produce it in those wire bond. When separation sufficient between wires is not given, wire bond may short-circuit with an element different from the above including the physical stress and

the impact which are produced during manufacture, a trial, or use. According to the wire bond technique by the above-mentioned advanced technology, a wire is isolated by one dimension by adjusting the pitch of a bond pad. The conventional high density wire bond technique makes wire bond isolate by the three dimension by using the alternate bond pad of the a large number train combined with the multilayer substrate. The multilayer substrate which brings about the separation of a three dimension is needed for the elongation of this three dimension. Therefore, this conventional technique has both chips on the same flat surface, and wirebonding between chips which so cannot enjoy the profits by the multilayer substrate is not made possible.

[0009]

[Problem(s) to be Solved by the Invention] Need about wire bond connection of the high density demanded with the latest integrated circuit was not able to be filled with the attempt of these former in which it is going to increase the number of wires in an integrated circuit, and the data volume of a wire. To increase further the amount of data transmitted between chips is needed by increasing the number of interconnect wires combined with an integrated circuit, especially the integrated circuit in a multi chip module.

[0010]

[Means for Solving the Problem] Speaking directly, this invention's including the multi chip module equipped with the multilayer substrate and the patternizing metallization layer formed in each class of the multilayer substrate. A multilayer cavity is formed so that the clamp face of an integrated circuit (IC) may come to a pars basilaris ossis occipitalis. Two or more ICs are attached in IC clamp face of a cavity. The wire bond which makes the 1st group is prolonged from at least one IC to the exposed part of the patternizing metallization layer in at least two layers of a multilayer cavity. Moreover, the wire bond which makes the 2nd group has extended to the bond pad of IC which adjoins from at least one IC. Furthermore, the wire bond which makes the 3rd group has extended to the bond pad of IC which adjoins from at least one IC, and the wire bond which makes the 3rd group has loop-formation height higher than the wire bond which makes the 2nd group.

[0011]

[Embodiment of the Invention]

1. Outline this invention relates to the wirebonding technique which enables super-high density wire bond connection between two integrated circuits. Although this invention becomes printing, a photolithography, and a thing using the improvement of wire bond equipment in practice, it is also possible to improve the wire bond consistency about this technique with the application of the concept of this invention on the technique of arbitration. Therefore, a specific dimension, the pitch of a bond pad, wire size, etc. are only those it was indicated that \*(ed) to an understanding as an example, and do not add a limit to instruction of this invention.

[0012] This invention is used for the multi chip module (MCM) of the module 100 grade shown in drawing 1. MCM needs a high wire consistency, in order to combine a signal between ICs101 attached on the common substrate which consists of many (adding to the layers 102F-102J shown in drawing 3) layers 102A-102E. In addition, it will be understood that it is possible to use the layer of the number of arbitration so that it may be made adapted for the specific manufacturing technology and specific wiring consistency which are needed by given design. Although the conventional multi-level ceramic substrate technique is used in the example shown in drawing 1 thru/or drawing 3, it is also possible to use the technique of arbitration equivalent to it. In the case of drawing 1 thru/or drawing 3, Layers 102A-102J consist of insulating ceramic ingredients with which the patternizing metallization layer was formed, respectively. Respectively a part is removed, Layers 102A-102D form the multilayer cavity, and a part of patternizing metallization layer in each class 102B-102E is exposed around this cavity. The exposed part of layer 102E forms the chip clamp face, and is mostly covered with the metallization ground plane in which IC101 is attached by conductive epoxy, the pewter, or the same chip attachment technique. Another patternizing metallization description is formed in layer 102E between ICs101 so that it may mention later.

[0013] It is desirable for Layers 102D-102B to have the signal wiring which transmits digital ones or an analog data signal to an MCM I/O (I/O) pin or a terminal (not shown) from IC101, respectively. Layer 102A is a transverse plane which works as a clamp face for the package cap 301 (refer to drawing 3) while performing chemical, mechanical, and electric protection to the layer located caudad. Using all available MCM techniques, a printed circuit is formed in Layers 102B-102D, and an I/O pin or a terminal is formed, and, thereby, it becomes possible to combine MCM100 with an external circuit element. The wire bond 106 combines the bond pad formed in one of the edges of each IC101 with the conductor or bond pad with which Layers 102B-102D were chosen. The wire bond 105 combines one bond pad of IC101 with the bond pad of adjoining IC101. The important description of this invention is to combine [ that each IC101 consists of bond pads 203 of two or more trains, and ] the wire bond 105 with each of the bond pad 203 of those two or more trains. Therefore, this invention attains the advantage of the direct wire bond 105 between chips in the advantage of high density wiring offered with the alternate bond pad 203, and a list.

[0014] One of the descriptions of this invention is that the dependence over the wire bond 105 between direct chips of this wire bond between chip-substrates becomes the minimum, although the wire bond between chip-substrates is available. Consequently, it becomes possible to determine the consistency of wire bond with the pitch (for it to be a limit of a wire bond tool to a list) which can form an on-chip bond pad. Therefore, in case the bond pad 202 is formed on a substrate or a leadframe, a technical limit of a proper does not turn into a limit to the wire bond pitch by this invention.

[0015] Another description of this invention is to use an alternate bond pad in the mode which makes easy above-mentioned wire bond between chips. The alternate bond pad had been used in order to increase the consistency of a bond pad, but it was not used with the three-dimension wire bond structure where reach in the loop-formation height of the wire bond 105, and loop-formation length is also arranged alternately while the bond pad 203 was arranged alternately. According to this description, the consistency of the wire bond 105 about a predetermined wire bond tool will increase, without sacrificing dependability.

[0016] In the specific example, MCM equipped with the aluminium alloy wire bond which makes two-layer [ a two-layer effective bond pitch is 62.5 micrometers ] between the chips located on the same flat surface was manufactured. Each chip was equipped with the bond pad which makes two trains for the bonding between chips. Each MCM was equipped with the wire between chips which exceeds 1000 by defect density better than 10 ppm.

[0017] Explanation of this invention is given to carry out about the specific example which used the ultrasonic wire bond technique with the wire bond tool of Hughes. According to instruction of this invention, the application about all the wire bond tools using all known wire metals or alloys is acquired. The improvement of the capacity of a wire bond tool has the intention of making the capacity of wire bond improve further, and this improved tool becomes what has possible again obtaining profits with the advantage of this invention. The correction which \*\*\*\* and others about instruction by this invention can predict is equivalent to the equipment and the approach by this invention.

[0018] The important element about a success and dependability of the separation high density wire bond technique of 2.3-dimensional wire bond is the separation between wires. Since an integrated circuit operates at whether wire bond is expanded and the becoming elevated temperature, if two wire bond approaches too much mutually, those wire bond may short-circuit it. When separation sufficient between wires is not given, wire bond may short-circuit with another element including the physical stress and the impact which are generated in the case of manufacture, a trial, or use. With most wire bond techniques, elongation of an one-dimension wire is performed by controlling the pitch of a bond pad to compensate for a limit of a wire bond tool. The conventional high density wire bond technique performs elongation of the wire bond in a three dimension by using the alternate bond pad which makes two or more trains combined with the multilayer substrate. Like previous statement, such techniques are inapplicable to wirebonding between chips from which the profits of a multilayer substrate are not obtained, although both have a chip on the same flat surface therefore.

[0019] It is the partial enlarged drawing of MCM100 of drawing 1 at drawing 2 . Adjoining IC101 is attached in clamp-face 102E located in the base of the cavity formed in the multilayer substrate. Layer 102D was located above layer 102E, and is equipped with the bond pad 202 used for combining a signal with an external circuit element in the conventional mode. Between the bond pads 203 of adjoining IC101, three wiring layers are formed with the wire bond 105.

[0020] In the case of a desirable example, the bond pad 201 is formed in the front face of layer 102E, and is combined with the supply voltage distributed to the patternizing metallization of Layers 102F-102J (refer to drawing 3 ) by Bahia. If it may become high, the supply voltage needed may become low and, for this reason, will also fluctuate the layer of a needed multilayer substrate according to it. Moreover, it is possible to combine the bond pad 201 with digital one or an analog signal instead of power-source Rhine.

[0021] The 1st layer of the wire bond 105 between chips is formed by connecting to the bond pad of substrate layer 102E the bond pad chosen from the bond pad 203 which makes the outermost train. In the case of drawing 2 , the bond pad 203 in the 6th [ every ] is combined with the bond pad 201. The required number of connection is decided by level of a request of the number of the supply voltage which the circuit element of IC101 needs, and the integrity of the power source which the circuit element of IC101 needs for a list. The wire bond 105 which makes this 1st group formed between the bond pad 203 and the bond pad 201 is formed in manufacture of the wire bond between chip-substrates in the conventional mode using an available technique.

[0022] The 2nd layer of the wire bond between chips is formed by connecting the remaining bond pads of the bond pads 203 which make the outermost train, and the bond pad 203 of adjoining IC101. Suitably, alignment of IC101 of each other is carried out so that it may align with the bond pad 203 with which IC101 by which the bond pad 203 of each IC101 adjoins it corresponds. Although it is desirable altogether to combine with the 1st layer of the wire bond 105 between chips or the 2nd layer as for the bond pad 203 which makes the train of the outermost part of each IC101, it is not used, but when the bond pad 203 which is not needed or has a defect exists, it is also possible to change 203 of those bond pads into the condition of not attaching. The wire bond 105 which makes this 2nd group has loop-formation height (namely, maximum height of the wire at the time of connecting two chips) higher than the wire bond 105 which makes the 1st layer. Mainly since each of the wire bond 105 which makes the 2nd layer is longer than the wire bond 105 which makes the 1st layer, the difference of this loop-formation height is produced. Since only the pitch of the bond pad 203 is physically \*\*\*\*(ed) from the wire bond which makes the 2nd layer, the wire bond 105 which makes the 1st layer is not important for the loop-formation height of the 2nd layer becoming quite higher than the 1st layer.

[0023] The wire bond 105 between chips which makes the 3rd layer is formed by connecting the bond pad 203 in the train inside each IC101, and the bond pad 203 formed in the train inside adjoining IC101. A certain amount of spacing between the wire bond 105 of the 3rd layer and the wire bond 105 of the 1st and 2nd layers is obtained making alternate the bond pad 203 which makes the train inside each IC101 suitably to the bond pad 203 which makes an outside train, i.e., by making it offset. In order to enlarge extent of spacing further, the loop-formation height of the wire bond 105 between chips which makes the 3rd layer is set up so that it may become higher than the wire bond 105 which makes the 1st layer or 2nd layer. About this, it is clearly shown most by drawing 3 , and this drawing shows that remarkable spacing has opened between the wire bond 105 which makes the 2nd layer, and the wire bond 105 which makes the 3rd layer.

[0024] According to this invention, the wire bond 105 between chips is two-dimensional as shown in drawing 2 , and as shown in drawing 3 , it is a three dimension, and since it is offset mutually, sufficient spacing for the strong wire bond between chips of the high high density of the yield will produce it between wires. The wire bond hundreds can be formed in the both sides of IC101 of typical size by using an available wire bond tool.

[0025] It will be understood that this invention uses spacing obtained by both the alternate bond pad 203 and the alternate loop-formation height of the wire bond 105. Neither of such techniques is

independently used for the wire bond between chips, but brings about a certain amount of spacing by itself between the wire bond 105 which combines between the bond pads 203 on the same flat surface of an adjoining chip, respectively. However, the best technique for using this invention is combining both the alternate bond pad 203 and alternate loop-formation height rather than using one of techniques independently.

[0026] 3. It enables the configuration of the multilayer substrate which has the multi-level substrate configuration layers 102A-102E to form the wire bond 105 which makes the 1st layer which provides IC101 with a power source and a ground with the bond pad 201 (refer to drawing 2 ) between chips, although most is the conventional thing. Since large-sized IC needs connection of a large number to a power source and a ground for the stable actuation, it needs to arrange the object for power sources, and the bond pad 201 for a ground between adjoining ICs101, and to enable it to access each bond pad 201 by two ICs101. As shown in drawing 3 , the substrate layers 102F-102J of a lower part combinable with the front face of layer 102E are available respectively in order to transmit supply voltage to the bond pad 201. By patternizing in the metallization layer of layer 102E, the bond pad 201 combined with the supply voltage which makes the bottom in Layers 102F-102J is formed on Bahia or a through hole. It is possible to transmit digital one or an analog signal by the layer of the arbitration of the layers 102F-102J in addition to the supply voltage instead of supply voltage. In the case of a specific example, the bond pad 203 in the end (namely, left-hand side of drawing 1 ) of MCM100 is combined with the bond pad 203 in the other end (namely, right-hand side of drawing 1 ) of MCM100 using one of Layers 102F-102J. Connection of this kind will become useful mainly by the Programmable Logic Arrays in the case of being a circuit type [ the ] as FPGA or it with the same each of IC101 etc.

[0027] 4. a chip layout — in the case of a suitable example, IC101 becomes the same thing substantially, in order to reduce the cost of MCM100. The 1st flank of each MCM100 has the bond pad which supports communication with the external circuit element through the wire bond 106. The three remaining flanks of each IC101 have the bond pad which makes two trains which support the wire bond 105 between chips. IC101 is arranged so that two trains (again limping gait) of the die length of arbitration may be made. IC101 is arranged so that the wire bond 106 may become parallel mutually and it may combine with the substrate layers 102B-102D by two opposite flanks of MCM100, and the 1st flank may face outside. For this reason, each IC101 has three flanks which support the communication during a chip, therefore arrangement of the chip in a 2xN array is attained (N is the number of the arbitration restricted by base size, actual cost, and the consideration on manufacture).

[0028] As a result of suitable arrangement of this IC101, two opposite flanks of MCM100 will have not the bond pad that supports the wire bond 106 but the bond pad 203 between chips. In this case, it is advantageous to combine the bond pad 203 at these both ends of MCM100 using one or more layers 102B-102J. This interconnect is alternatively [ optionally ] available, in order to be called a "wrap around" and to provide un-adjoining [ IC / 101 ] with connection between chips. Thus, the signal line between ICs101 of the number of arbitration can be combined using the wire bond 105 between chips. The specific example shown about this invention cannot but be a mere example, and it will be understood that it is not the limit to the description of the wire bond between high density chips of this invention.

[0029] 5. Since the wire bond 105 between chips by wirebonding method this invention changes wire bond length, loop-formation height, and a location and is formed by the three dimension, it is [ wire bond processing ] desirable to advance in the regular mode explained in this book. By the suitable approach, three pass is carried out for every flank of each IC101, and evaluation is performed after each pass. It becomes possible to restore the wire bond 105,106 which has a defect before covering by the consecutive wiring layer by electric inspection and/or the visual inspection of the wire bond for every termination of each pass. Since single MCM by this invention can be easily equipped with the wire bond 105,106 thousands, it produces the wire bond 105,106 with which even the defect of low background level has a defect after an assembly.

[0030] Suitably, a power source and ground connection are prepared through the substrate bond pad



201 (refer to drawing 2 ) as mentioned above. The wire bond of the 1st level is formed by combining with the suitable bond pad 201 of substrate layer 102E the bond pad 203 with which each IC101 was chosen. In almost all cases, after the 1st pass, this means an intact thing, while many bond pads have been in an open condition. Since loop-formation height is the lowest and loop-formation length is the shortest, the object for power sources and the wire bond for a ground are produced first. Moreover, the discernment and restoration of wire bond which have a defect can be enabled by inspecting a power source and ground connection electrically after the 1st pass.

[0031] With the 2nd pass, loop-formation height is more slightly [ than the wire bond 105 of the 1st layer ] high, and the wire bond 105 between chips which makes the 2nd layer which opened spacing physically from the wire bond 105 of the 1st layer only for the pitch of the bond pad 203 is formed. Although electric inspection is impossible suitably until the remaining wire bond is formed, visual inspection and/or electric inspection are carried out after the 2nd pass. The wire bond 105 which performs the 3rd pass and makes the 3rd layer is formed. The wire bond 105 which makes this 3rd layer has loop-formation height higher than the loop-formation height formed at the time of formation of the 2nd wire bond or the 1st wire bond.

[0032] Thus, it will be understood by arranging wire bond alternately by the three dimension between two almost flat front faces of adjoining IC that the wire bond chip interconnect by the high density for the multi chip module which raised the wiring consistency is obtained. It is illustrated based on this invention, and the detail of the explained specific example is only what was shown by expecting perfection, and it is not considered that it is the limit to instruction of this invention. Therefore, many examples of correction of a specific example including the correction clearly suggested in this book are equivalent to the desirable example of description in this book.

[0033] The instantiation-embodiment which becomes below from the combination of the various requirements for a configuration of this invention is shown.

[0034] 1. it Forms in Said Die Clamp Face of Substrate with which Die Clamp Face was Formed, and Said Substrate — Having — Two or More Touch-down — Conductor and Two or More Power Sources — with Patternizing Metallization Which Gives Conductor The 1st integrated circuit attached in said patternizing metallization of said die clamp face, The bond pad which makes the 1st train formed around said 1st integrated circuit, The bond pad which makes the 2nd train formed inside [ which makes said 1st train around said 1st integrated circuit ] the bond pad, The 2nd integrated circuit attached in said die clamp face, and the bond pad which makes the 3rd train formed around said 2nd integrated circuit, The bond pad which makes the 4th train formed inside [ which makes said 3rd train around said 2nd integrated circuit ] the bond pad, The wire bond which makes the 1st group which combines the bond pad which makes said 2nd train with the bond pad which makes said 4th train, The wire bond which makes the 2nd group which combines the bond pad chosen from the bond pad which makes said 1st train with the bond pad chosen from the bond pad which makes said 3rd train, The wire bond except the wire bond which combines the bond pad chosen from the bond pad which makes said 1st train with said patternizing metallization formed in said substrate and which makes said 2nd group which makes the 3rd group, Combine the bond pad chosen from the bond pad which makes said 3rd train with said patternizing metallization formed in said substrate. The multi chip module characterized by having the wire bond except the wire bond which makes said 2nd group which makes the 4th group.

[0035] 2. Multi chip module given in the preceding clause 1 which has substantially bond pad which makes the 1st, 2nd, 3rd, and 4th aforementioned trains on the same flat surface.

[0036] 3. Multi chip module given in the preceding clause 1 which has loop-formation height with wire bond more expensive than wire bond which makes said 2nd group which makes said 1st group.

[0037] 4. Multi chip module given in the preceding clause 1 which has loop-formation height with wire bond more expensive than both wire bond which makes wire bond which makes said 2nd group, and said 3rd group which makes said 1st group.

[0038] 5. Multi chip module given in the preceding clause 1 by which bond pad which makes said 1st train is alternately arranged to bond pad which makes said 2nd train, and bond pad which makes said 3rd

train is alternately arranged to bond pad which makes said 4th train.

[0039] 6. Multilayer Substrate and Patternizing Metallization Layer Formed in Each Class of Substrate, It is the multilayer cavity formed in said substrate by removing parts fewer than all the layers of said multilayer substrate. The multilayer cavity to which each class is exposing a part of patternizing metallization layer in the monolayer of said substrate, Two or more integrated circuits attached in the integrated-circuit clamp face of the pars basilaris ossis occipitalis of said multilayer cavity, and said integrated-circuit clamp face of said cavity, The wire bond which is prolonged from said at least one integrated circuit to the exposed part of the patternizing metallization in at least two layers of said multilayer cavity and which makes the 1st group, The wire bond which is prolonged from said at least one integrated circuit to the bond pad of said adjoining integrated circuit and which makes the 2nd group, The multi chip module which is prolonged from said at least one integrated circuit to the bond pad of said adjoining integrated circuit, and is characterized by having the wire bond which has loop-formation height higher than the wire bond which makes said 2nd group, and which makes the 3rd group.

[0040] 7. 1st Wire Bond with which Wire Bond Which Makes Said 1st Group is Prolonged from Said at Least One Integrated Circuit to Bond Pad Which Patternizing Metallization in 1st Layer of Said Multilayer Cavity Exposed, The 2nd wire bond prolonged from said at least one integrated circuit to the bond pad which the patternizing metallization in the 2nd layer of said multilayer cavity exposed, The 3rd wire bond prolonged from said at least one integrated circuit to the bond pad which the patternizing metallization in the 3rd layer of said multilayer cavity exposed, A multi chip module given in the preceding clause 6 which consists of the 4th wire bond prolonged from said at least one integrated circuit to the bond pad which the patternizing metallization in the 4th layer of said multilayer cavity exposed.

[0041] 8. Multi chip module given in the preceding clause 6 to which wire bond which makes the 2nd and 3rd aforementioned groups is located in said same at least one integrated-circuit side.

---

[Translation done.]

#### \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing a part of multi chip module by this invention.

[Drawing 2] It is the expanded sectional view of the multi chip module shown in drawing 1 .

[Drawing 3] It is the sectional view simplifying and showing a part of multi chip module by this invention.

[Description of Notations]

100 MCM

101 IC

102D Base layer

102E Clamp face

105 Wire Bond

201,202,203 Bond pad

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56036

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 0 1		H 0 1 L 21/60	3 0 1 N
23/52			25/00	A
25/00			23/52	D

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21) 出願番号 特願平9-146225

(22) 出願日 平成9年(1997) 6月4日

(31) 優先権主張番号 6 5 7 5 8 2

(32) 優先日 1996年6月7日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000400

ヒューレット・パッカード・カンパニー  
アメリカ合衆国カリフォルニア州パロアル  
ト ハノーバー・ストリート 3000

(72) 発明者 ケネス・ラッシュ

アメリカ合衆国コロラド州80919, コロラ  
ド・スプリングス, オーク・バレイ・ドラ  
イヴ・7001

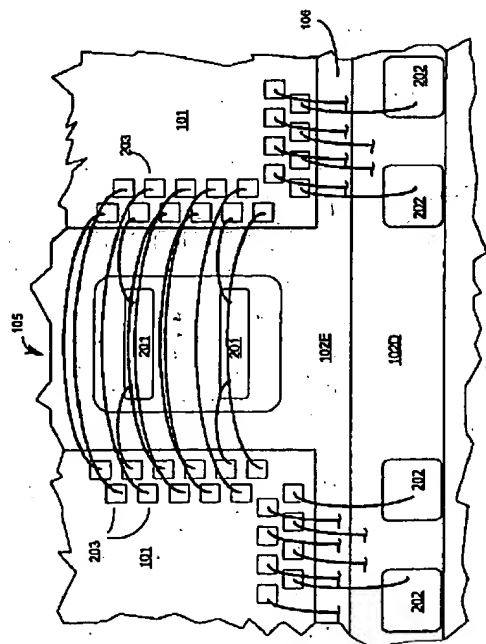
(74) 代理人 弁理士 古谷 肇 (外2名)

(54) 【発明の名称】 マルチチップモジュールのためのワイヤボンドによる高密度でのチップ相互接続

(57) 【要約】

【課題】 マルチチップモジュール中の集積回路に結合される相互接続ワイヤ数を増すことによってチップ間で伝送されるデータ量をさらに増大させること。

【解決手段】 多層基板と、その多層基板の各層に形成されたパターン化メタライゼーション層とを備えたマルチチップモジュールを包含する。底部に集積回路 (I C) の取付面がくるよう多層キャビティが形成される。キャビティの I C 取付面には複数の I C が取り付けられる。第1の組をなすワイヤボン드가少なくとも1つの I C から多層キャビティの少なくとも2つの層におけるパターン化メタライゼーション層の露出部分まで延びている。また第2の組をなすワイヤボン드가少なくとも1つの I C から隣接する I C のボンダパッドまで延びている。更に、第3の組をなすワイヤボン드가少なくとも1つの I C から隣接する I C のボンダパッドまで延びており、その第3の組をなすワイヤボン드는、第2の組をなすワイヤボン日よりも高いループ高さを有している。



(2)

## 【特許請求の範囲】

【請求項1】ダイ取付面が形成された基板と、  
前記基板の前記ダイ取付面に形成されて複数の接地導体及び複数の電源導体を与えるパターン化メタライゼーションと、  
前記ダイ取付面の前記パターン化メタライゼーションに取り付けられた第1の集積回路と、  
前記第1の集積回路の周辺に形成された第1の列をなすボンダパッドと、  
前記第1の集積回路の周辺で前記第1の列をなすボンダパッドの内側に形成された第2の列をなすボンダパッドと、  
前記ダイ取付面に取り付けられた第2の集積回路と、  
前記第2の集積回路の周辺に形成された第3の列をなすボンダパッドと、  
前記第2の集積回路の周辺で前記第3の列をなすボンダパッドの内側に形成された第4の列をなすボンダパッドと、  
前記第2の列をなすボンダパッドを前記第4の列をなすボンダパッドに結合する第1の組をなすワイヤボンダと、  
前記第1の列をなすボンダパッドから選択されたボンダパッドを前記第3の列をなすボンダパッドから選択されたボンダパッドに結合する第2の組をなすワイヤボンダと、  
前記第1の列をなすボンダパッドから選択されたボンダパッドを前記基板に形成された前記パターン化メタライゼーションに結合する、前記第2の組をなすワイヤボンダを除いた、第3の組をなすワイヤボンダと、  
前記第3の列をなすボンダパッドから選択されたボンダパッドを前記基板に形成された前記パターン化メタライゼーションに結合する、前記第2の組をなすワイヤボンダを除いた、第4の組をなすワイヤボンダとを備えていることを特徴とする、マルチチップモジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般にマルチチップモジュールに関し、特に、マルチチップモジュールにおけるチップ間の高密度接続に関する。

## 【0002】

【従来の技術】集積回路処理技術が改善されるにつれ、単一チップに組み込むことが可能なデバイス及び機能の数がますます多くなる。しかし、この結果、集積回路に対する電気的な接続数を増やすことが必要になる。今日、ICとパッケージとの電気的な接続を行う最も一般的な方法は、ワイヤボンディングである。ワイヤボンダは、最先端のワイヤボンディング機によって制限される最小ピッチで、ICの周辺に配置される。ICの内部で行われる電気的接続は、ワイヤボンディング機によってサポートされる形状寸法よりはるかに小さい形状寸法で形成

することが可能である。従って、チップの周辺において利用可能なワイヤボンダ数は、半導体処理技術の改善によって生じる電気的接続に対する要求の増大についてくることができなかった。電気的接続の要求に遅れをとらないワイヤボンディング技術の改善が必要とされている。

【0003】これまで提案されてきた解決策として、多数の相互接続を支援するためにチップの周辺をより大きくする、というものがある。しかし、これは、シリコンの効率のよい利用ではなく、結果的に、通常許容できないコストの増大が生じることになる。他の提案では、ICの本体全体にわたって分布したボンダパッドを使用することが示唆されている。しかし、チップ内部に対して信頼に足る相互接続を行うための実際上の技術は特殊なものである。改善策の中には、IC上にボンダ2列のボンダパッドを千鳥状に配設することによって実現するものがある。ワイヤボンダは、支持基板上の非平面の（即ち、マルチレベルの）ボンダパッドに対して2列のボンダパッドの間に形成することが可能である。この千鳥状ボンダパッド法によって、チップと外部パッケージまたはリードフレームとの間に形成することが可能なワイヤボンダ数が効果的に2倍になる。

【0004】集積回路間の相互接続の実施は、スペースが不足していてチップ間の帯域幅の広い電気的接続が強く要求されるマルチチップモジュールの場合に、特に問題となる。これは、同様のタイプの集積回路アレイを形成することにより性能を向上させる「スケーラブル」技術の場合に特によく当てはまる。スケーラブル技術の例として、メモリ、プログラマブルゲートアレイ（PGA）、プログラマブル論理アレイ（PLA）、フィールドプログラマブルゲートアレイ（FPGA）等のプログラマブル論理素子が挙げられる。

【0005】マルチチップ構成では、共通基板に複数のチップが取り付けられる。その基板は、プリント配線チャネル及びボンダパッドを有している。ワイヤボンダは、各チップから基板上のボンダパッドまで形成される。プリント配線チャネルは、各ワイヤボンダを別のチップの所望のワイヤボンダに接続するために利用される。しかし、従来の基板プロセスで得られるボンダパッドの密度は、ICに形成可能なものに比べてはるかに低くなる。従って、チップ間配線密度は基板技術によって制限される。チップを配置する間隔を広げることによって、基板に形成されるボンダパッドに対してワイヤボンダを扇形に展開することが可能になる。これによって、パッケージ全体のサイズが大きくなって各接続の物理的長さが増大し、その結果、チップ間における信号の伝搬可能速度を制限することになる寄生容量及びインダクタンスが増大することになる。

【0006】市販のMCMデバイスには、ワイヤボンダを1つのチップのボンダパッドから隣接するチップのボンダパッドまで直接形成したものもある。この構成によ

(3)

3

り、基板ボンドの介在による影響がなくなる。しかし、これまでの、直接のチップ間ボンディングでは、千鳥状ボンドパッドの高密度を利用することができなかった。

【0007】提案されている他の解決策によれば、各ワイヤのデータ伝送能力が拡張される。例えば、G.Y. Yacoub等は、「Self-Timed Simultaneous Bi-directional Signaling for IC Systems」(IEEE, 1992)と題する論文において、3つの電圧レベルを用いて、単一ワイヤ上での双方向データ転送を可能にすることができることを提案している。同様の方法が、Mooney等によって「A 900 Mb/s Bi-directional Signaling Scheme」(IEEE Journal of Solid-State Circuits Vol. 30, No. 12, December, 1995)において論じられている。これらのシステムは、集積回路における公差を有するコンポーネントの高精度の整合、及び3つの電圧レベル間で十分なノイズマージンを得るための隣接チップ間の抵抗の慎重な整合を必要とする。提案されている他の方法として、時間領域または周波数領域の多重化技法が挙げられるが、これらはシステムの複雑さを増大させるものとなる。

【0008】高密度ワイヤボンディング技術の成功及び信頼性に関する重要な要素は、ワイヤ間の離隔距離である。集積回路は、ワイヤボンドを膨張させるかなりの高温で動作するので、2つのワイヤボンドがあまり接近しすぎているとそれらのワイヤボンドに短絡が生じる可能性がある。ワイヤ間に十分な離隔距離が付与されていない場合には、製造、試験、または使用中に生じる物理的ストレス及び衝撃を含む上記とは別の要素によってワイヤボンドが短絡する可能性もある。上述の先行技術によるワイヤボンド技術によれば、ボンドパッドのピッチを調整することによってワイヤが1次元で離隔される。従来の高密度ワイヤボンド技術は、多層基板に結合された多数列の千鳥状ボンドパッドを利用することによりワイヤボンドを3次元で離隔させるものである。この3次元の離隔には、3次元の離隔距離をもたらす多層基板が必要となる。従って、かかる従来の技法は、両方のチップが同一平面上にあり、それゆえ多層基板による利益を享受することができない、チップ間ワイヤボンディングを可能にするものとはならない。

【0009】

【発明が解決しようとする課題】集積回路におけるワイヤ数及びワイヤのデータ容量を増大させようとするこれら従来の試みでは、最先端の集積回路により要求される高密度のワイヤボンド接続についての必要性を満たすことはできなかった。集積回路、特にマルチチップモジュール中の集積回路に結合される相互接続ワイヤ数を増すことによってチップ間で伝送されるデータ量をさらに増大させることが必要とされている。

【0010】

【課題を解決するための手段】端的に言えば、本発明は、多層基板と、その多層基板の各層に形成されたパ

4

ーン化メタライゼーション層とを備えたマルチチップモジュールを包含するものである。底部に集積回路(IC)の取付面がくるように多層キャビティが形成される。キャビティのIC取付面には複数のICが取り付けられる。第1の組をなすワイヤボンドが、少なくとも1つのICから多層キャビティの少なくとも2つの層におけるパターン化メタライゼーション層の露出部分まで延びている。また、第2の組をなすワイヤボンドが、少なくとも1つのICから隣接するICのボンドパッドまで延びている。更に、第3の組をなすワイヤボンドが、少なくとも1つのICから隣接するICのボンドパッドまで延びており、その第3の組をなすワイヤボンドは、第2の組をなすワイヤボンドよりも高いループ高さを有するようになっている。

【0011】

【発明の実施の形態】

#### 1. 概要

本発明は、2つの集積回路間における超高密度ワイヤボンド接続を可能にするワイヤボンディング技術に関するものである。本発明は実際上は、印刷、フォトリソグラフィ、及びワイヤボンド装置の改善を利用したものとなるが、本発明の概念を任意の技術に適用して該技術に関するワイヤボンド密度を改善することも可能である。従って、特定の寸法、ボンドパッドのピッチ、ワイヤサイズ等は、具体例として理解に資するよう示しただけのものであり、本発明の教示に制限を加えるものではない。

【0012】本発明は、図1に示すモジュール100等のマルチチップモジュール(MCM)に用いられる。MCMは、(図3に示す層102F~102Jに加えて)多数の層102A~102Eから構成される共通基板上に取り付けられたIC101間で信号を結合するために高ワイヤ密度を必要とする。なお、所与の設計により必要とされる特定の製造技術及び配線密度に適應させるよう任意の数の層を用いることが可能である、ということが理解されよう。図1ないし図3に示す実施例では、従来のマルチレベルセラミック基板技術が用いられるが、それと同等の任意の技術を用いることも可能である。図1ないし図3の場合、層102A~102Jは、それぞれ、パターン化メタライゼーション層が形成された絶縁セラミック材料から構成される。層102A~102Dは、それぞれ、一部が除去されて、多層キャビティを形成しており、各層102B~102Eにおけるパターン化メタライゼーション層の一部が該キャビティの周辺で露出している。層102Eの露出部分は、チップ取付面を形成しており、導電性エポキシ、ハンダ、または同様のチップ取付技術によってIC101が取り付けられるメタライゼーション接地面によってほぼ被覆されている。後述するように、別のパターン化メタライゼーション特徴がIC101間で層102Eに形成される。

【0013】層102D~102Bが、それぞれ、IC101からMCM入出力(I/O)ピンまたは端子(図示せず)に

(4)

5

デジタルまたはアナログデータ信号を伝送する信号配線を有していることが望ましい。層102Aは、下方に位置する層に対する化学的、機械的、及び電氣的な保護を行うと共にパッケージキャップ301（図3参照）のための取付面として働く正面である。利用可能なあらゆるMCM技術を用いて、層102B～102Dにプリント配線を形成し、及びI/Oピンまたは端子を形成し、これにより、MCM100を外部回路要素と結合させることが可能となる。ワイヤボンンド106は、各IC101のエッジの1つに形成されたボンンドパッドを、層102B～102Dの選択された導体またはボンンドパッドに結合させる。ワイヤボンンド105は、IC101の1つのボンンドパッドを隣接するIC101のボンンドパッドに結合させる。本発明の重要な特徴は、各IC101が複数列のボンンドパッド203から構成されること、及びそれらの複数列のボンンドパッド203の各々にワイヤボンンド105が結合されることにある。従って、本発明は、千鳥状ボンンドパッド203によって提供される高密度配線の利点、並びに、直接のチップ間ワイヤボンンド105の利点を達成するものとなる。

【0014】本発明の特徴の1つは、チップー基板間ワイヤボンンドが利用可能であるが、このチップー基板間ワイヤボンンドの直接チップ間ワイヤボンンド105に対する依存が最小限になる、ということである。その結果、ワイヤボンンドの密度は、オンチップボンンドパッドを形成することが可能なピッチ（並びに、ワイヤボンンドツールの制限）によって決定することが可能になる。従って、基板またはリードフレーム上にボンンドパッド202を形成する際に固有の技術的制限は、本発明によるワイヤボンンドピッチに対する制限にはならない。

【0015】本発明のもう1つの特徴は、上述のチップ間ワイヤボンンドを容易にする態様で千鳥状ボンンドパッドを利用することにある。千鳥状ボンンドパッドは、ボンンドパッドの密度を増大させるために使用されてきたが、ボンンドパッド203が千鳥状に配列されると共にワイヤボンンド105のループ高さ及びループ長も千鳥状に配列される3次元ワイヤボンンド構造では使用されてこなかった。この特徴により、信頼性を犠牲にすることなく所定のワイヤボンンドツールについてのワイヤボンンド105の密度が増大することになる。

【0016】特定の例では、同一平面上に位置するチップ間に有効ボンンドピッチが62.5 $\mu$ mの2層をなすアルミニウム合金ワイヤボンンドを備えたMCMが製造された。各チップは、チップ間ボンディングのための2列をなすボンンドパッドを備えていた。各MCMは、10ppmより良好な欠陥密度で1000を超えるチップ間ワイヤを備えていた。

【0017】本発明の説明は、Hughesのワイヤボンンドツールで超音波ワイヤボンンド技術を用いた特定の例に関して行うことにする。本発明の教示によれば、あらゆる既知のワイヤ金属または合金を利用するあらゆるワイヤボ

6

ンドツールについての用途が得られる。ワイヤボンンドツールの能力の改善によってワイヤボンンドの能力を更に改善させることが意図されており、かかる改善されたツールはまた、本発明の利点により利益を得ることが可能なものとなる。本発明による教示についての上述その他の予測し得る修正は、本発明による装置及び方法と等価なものである。

#### 【0018】2. 3次元ワイヤボンンドの離隔距離

高密度ワイヤボンンド技術の成功及び信頼性に関する重要な要素は、ワイヤ間の離隔距離である。集積回路は、ワイヤボンンドを膨張させるかなりの高温で動作するので、2つのワイヤボンンドが互いに接近しすぎているとそれらのワイヤボンンドが短絡する可能性がある。ワイヤ間に十分な離隔距離が与えられていない場合には、製造、試験、または利用の際に生成される物理的ストレス及び衝撃を含む別の要素によってワイヤボンンドが短絡する可能性もある。大部分のワイヤボンンド技術では、ワイヤボンンドツールの制限に合わせてボンンドパッドのピッチを制御することによって1次元でのワイヤの離隔を行う。従来の高密度ワイヤボンンド技術は、多層基板に結合された複数列をなす千鳥状ボンンドパッドを利用することにより、3次元でのワイヤボンンドの離隔を行う。既述のように、これらの技法は、チップが両方とも同一平面上にあるが故に多層基板の利益が得られないチップ間ワイヤボンディングには適用することができない。

【0019】図2には、図1のMCM100の部分拡大図である。隣接するIC101は、多層基板に形成されたキャビティのベースに位置する取付面102Eに取り付けられる。層102Dは、層102Eの上方に位置し、従来の態様で外部回路要素に信号を結合するのに使用されるボンンドパッド202を備えている。隣接するIC101のボンンドパッド203間には、ワイヤボンンド105によって3つの配線層が形成されている。

【0020】望ましい実施例の場合、ボンンドパッド201は、層102Eの表面に形成され、バイアによって、層102F～102J（図3参照）のパターン化メタライゼーションに分配される電源電圧に結合される。必要とされる電源電圧は高くなる場合もあれば低くなる場合もあり、このため、必要となる多層基板の層もそれに応じて増減する。また、電源ラインの代わりにデジタルまたはアナログ信号にボンンドパッド201を結合することが可能である。

【0021】チップ間ワイヤボンンド105の第1の層は、最も外側の列をなすボンンドパッド203から選択されたボンンドパッドを基板層102Eのボンンドパッドに接続することによって形成される。図2の場合、6番目毎のボンンドパッド203がボンンドパッド201に結合される。必要な接続数は、IC101の回路要素が必要とする電源電圧の数、並びにIC101の回路要素が必要とする電源の完全性の所望のレベルによって決まる。ボンンドパッド203とボンンドパッド201との間に形成されるこの第1の組をなすワイ

(5)

7

ヤボン105は、チップ-基板間ワイヤボン105の製作に利用可能な技術を用いて従来の態様で形成される。

【0022】チップ間ワイヤボン105の第2の層は、最も外側の列をなすボン105のうちの残りのボン105と、隣接するIC101のボン105とを接続することによって形成される。好適には、IC101は、各IC101のボン105がそれに隣接するIC101の対応するボン105と整列するように、互いに位置合わせされる。各IC101の最も外側の列をなすボン105は、全て、チップ間ワイヤボン105の第1の層または第2の層と結合するのが望ましいが、利用されず、必要とされず、または欠陥を有するボン105が存在する場合には、それらのボン105の203を未取付状態のままにすることも可能である。この第2の組をなすワイヤボン105は、第1の層をなすワイヤボン105よりも高いループ高さ（即ち、2つのチップをつないだ場合のワイヤの最大高さ）を有している。このループ高さの差は、主として、第2の層をなすワイヤボン105のそれぞれが第1の層をなすワイヤボン105よりも長いために生じるものである。第1の層をなすワイヤボン105が、第2の層をなすワイヤボン105から物理的にボン105のピッチだけ隔置されているので、第2の層のループ高さが第1の層よりもかなり高くなることは重要ではない。

【0023】第3の層をなすチップ間ワイヤボン105は、各IC101の内側の列におけるボン105と、隣接するIC101の内側の列に形成されたボン105とを接続することによって形成される。好適には、外側の列をなすボン105に対して各IC101の内側の列をなすボン105を千鳥状にすること即ちオフセットさせることによって、第3の層のワイヤボン105と第1及び第2の層のワイヤボン105との間にある程度の間隔が得られるようにする。間隔の程度を更に大きくするために、第3の層をなすチップ間ワイヤボン105のループ高さが、第1の層または第2の層をなすワイヤボン105よりも高くなるように設定される。これについては、図3に最も明示されており、同図は、第2の層をなすワイヤボン105と第3の層をなすワイヤボン105との間にかなりの間隔があいていることを示している。

【0024】本発明によれば、チップ間ワイヤボン105は、図2に示すように2次元で、また図3に示すように3次元で、互いにオフセットされているので、歩留まりの高い高密度の丈夫なチップ間ワイヤボン105にとって十分な間隔がワイヤ間に生じることになる。利用可能なワイヤボン105を用いることによって、典型的なサイズのIC101の両側に数百というワイヤボン105を形成することができる。

【0025】本発明は、千鳥状ボン105とワイヤボン105の互い違いのループ高さとの両方によって

8

得られる間隔を利用したものである、ということが理解されよう。これらの技法のいずれも、チップ間ワイヤボン105に単独で利用されておらず、それぞれが、それ自体により、隣接するチップの同一平面上にあるボン105間を結合するワイヤボン105の間にある程度の間隔をもたらす。しかし、本発明を利用するための最良の技法は、いずれかの技法を単独で用いるのではなく、千鳥状ボン105と千鳥状ループ高さとの両方を組み合わせることである。

#### 10 【0026】3. マルチレベル基板構成

層102A~102Eを有する多層基板の構成は、大部分は従来のものであるが、チップ間ボン105（図2参照）により、IC101に電源及びアースを提供する第1の層をなすワイヤボン105を形成することが可能になる。大型ICは、安定した動作のために電源及びアースに対する多数の接続を必要とするので、隣接するIC101間に電源用及びアース用のボン105を配置して、2つのIC101によって各ボン105にアクセスできるようにすることが必要である。図3に示すように、層102Eの表面に結合可能な下方の基板層102F~102Jは、それぞれ、電源電圧をボン105に伝送するために利用可能である。層102Eのメタライゼーション層にパターン化を施すことによって、層102F~102Jにおける根底をなす電源電圧に結合するボン105がバイアまたはスルーホール上に形成される。層102F~102Jのうちの任意の層によって、電源電圧の代わりに、または、電源電圧に加えて、デジタルまたはアナログ信号を伝送することが可能である。特定の実施例の場合、層102F~102Jのうちの1つを用いて、MCM100の一端（即ち図1の左側）におけるボン105を、MCM100の他端（即ち図1の右側）におけるボン105に結合する。この種の接続は、主として、IC101のそれぞれがFPGAまたはそれと同様のタイプの回路である場合等のプログラマブル論理アレイで有用なものとなる。

#### 40 【0027】4. チップレイアウト

好適な実施例の場合、IC101は、MCM100のコストを低減するために実質的に同一のものとなる。各MCM100の第1の側部は、ワイヤボン105を介した外部回路要素との連絡を支持するボン105を有している。各IC101の残りの3つの側部は、チップ間ワイヤボン105を支持する2列をなすボン105を有している。IC101は、任意の長さの2つの列（または行）をなすように配列される。IC101は、ワイヤボン105が互いに平行になりMCM100の2つの対向側部で基板層102B~102Dと結合するように、第1の側部が外側に面するように配置される。このため、各IC101は、チップ間の連絡を支持する3つの側部を有しており、従って、2×Nアレイでのチップの配置が可能になる（Nは、基盤サイズ、実際のコスト、及び製造上の考慮事項によって制限



9

される任意の数である)。

【0028】このIC101の好適な配置の結果として、MCM100の2つの対向側部は、ワイヤボンダ106を支持するボンダパッドではなくチップ間ボンダパッド203を有することになる。この場合には、1つ以上の層102B~102Jを利用して、MCM100のこれら両端でボンダパッド203を結合するのが有利である。この相互接続は、「ラップアラウンド」と呼ばれ、非隣接IC101にチップ間接続を提供するために随意選択的に利用可能である。このようにして、チップ間ワイヤボンダ105を用いて任意数のIC101間の信号ラインを結合させることができる。本発明に関して示された特定の実施例は、単なる例でしかなく、本発明の高密度チップ間ワイヤボンダの特徴に対する制限ではない、ということが理解されよう。

#### 【0029】5. ワイヤボンディング法

本発明によるチップ間ワイヤボンダ105は、ワイヤボンダ長、ループ高さ、及び位置を異ならせて3次元で形成されるので、ワイヤボンダ処理は、本書で解説した規則正しい態様で進めることが望ましい。好適な方法では、各IC101の各側部毎に3つのパスが実施され、各パスの後に評価が行われる。各パスの終了毎のワイヤボンダの電気的検査及び/または目視検査により、後続の配線層による被覆の前に、欠陥のあるワイヤボンダ105、106を修復することが可能になる。本発明による単一MCMは、数千というワイヤボンダ105、106を容易に備えることができるので、低バックグラウンドレベルの欠陥さえも、アセンブリ後に欠陥のあるワイヤボンダ105、106を生じさせるものとなる。

【0030】好適には、電源及びアース接続が、上述のように基板ボンダパッド201(図2参照)を介して設けられる。第1のレベルのワイヤボンダは、各IC101の選択されたボンダパッド203を基板層102Eの適当なボンダパッド201に結合させることによって形成される。ほとんどの場合、これは、第1のパスの後に多数のボンダパッドが開放状態のまま又は未使用であることを意味するものとなる。電源用及びアース用ワイヤボンダは、ループ高さが最も低く、ループ長が最も短いので、最初に作製される。また、第1のパス後に電源及びアース接続を電気的に検査することによって、欠陥を有するワイヤボンダの識別及び修復を可能にすることができる。

【0031】第2のパスでは、ループ高さが第1の層のワイヤボンダ105よりわずかに高く、ボンダパッド203のピッチだけ第1の層のワイヤボンダ105から物理的に間隔をあけた、第2の層をなすチップ間ワイヤボンダ105が形成される。好適には、残りのワイヤボンダが形成されるまで電気的検査は不可能であるが、第2のパスの後に目視検査及び/または電気的検査が実施される。第3のパスを行って第3の層をなすワイヤボンダ105が形成される。この第3の層をなすワイヤボンダ105は、第2

(6)

10

のワイヤボンダまたは第1のワイヤボンダの形成時に形成されるループ高さよりも高いループ高さを有するものとなる。

【0032】このようにして、隣接するICのほぼ平坦な2つの表面の間でワイヤボンダを3次元で千鳥状に配置することにより配線密度を高めたマルチチップモジュールのための高密度でのワイヤボンダチップ相互接続が得られる、ということが理解されよう。本発明に基づいて図解され、解説された特定の例の詳細は、完璧を期して示されただけのものであって、本発明の教示に対する制限とみなされるものではない。従って、本書に明白に示唆された修正を含む特定の実施例の多くの修正例は、本書に解説の望ましい実施例と等価なものである。

【0033】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【0034】1. ダイ取付面が形成された基板と、前記基板の前記ダイ取付面に形成されて複数の接地導体及び複数の電源導体を与えるパターン化メタライゼーションと、前記ダイ取付面の前記パターン化メタライゼーションに取り付けられた第1の集積回路と、前記第1の集積回路の周辺に形成された第1の列をなすボンダパッドと、前記第1の集積回路の周辺で前記第1の列をなすボンダパッドの内側に形成された第2の列をなすボンダパッドと、前記ダイ取付面に取り付けられた第2の集積回路と、前記第2の集積回路の周辺に形成された第3の列をなすボンダパッドと、前記第2の集積回路の周辺で前記第3の列をなすボンダパッドの内側に形成された第4の列をなすボンダパッドと、前記第2の列をなすボンダパッドを前記第4の列をなすボンダパッドに結合する第1の組をなすワイヤボンダと、前記第1の列をなすボンダパッドから選択されたボンダパッドを前記第3の列をなすボンダパッドから選択されたボンダパッドに結合する第2の組をなすワイヤボンダと、前記第1の列をなすボンダパッドから選択されたボンダパッドを前記基板に形成された前記パターン化メタライゼーションに結合する、前記第2の組をなすワイヤボンダを除いた、第3の組をなすワイヤボンダと、前記第3の列をなすボンダパッドから選択されたボンダパッドを前記基板に形成された前記パターン化メタライゼーションに結合する、前記第2の組をなすワイヤボンダを除いた、第4の組をなすワイヤボンダとを備えていることを特徴とする、マルチチップモジュール。

【0035】2. 前記の第1、第2、第3、及び第4の列をなすボンダパッドが実質的に同一平面上にある、前項1に記載のマルチチップモジュール。

【0036】3. 前記第1の組をなすワイヤボンダが、前記第2の組をなすワイヤボンダよりも高いループ高さを有している、前項1に記載のマルチチップモジュール。

【0037】4. 前記第1の組をなすワイヤボンダが、



(7)

11

前記第2の組をなすワイヤボンダ及び前記第3の組をなすワイヤボンダの両方よりも高いループ高さを有している、前項1に記載のマルチチップモジュール。

【0038】5. 前記第1の列をなすボンダパッドが前記第2の列をなすボンダパッドに対して千鳥状に配置され、前記第3の列をなすボンダパッドが前記第4の列をなすボンダパッドに対して千鳥状に配置されている、前項1に記載のマルチチップモジュール。

【0039】6. 多層基板と、基板の各層に形成されたパターン化メタライゼーション層と、前記多層基板の層の全てよりも少ない部分を除去することによって前記基板に形成された多層キャビティであって、前記基板の単一層におけるパターン化メタライゼーション層の一部を各層が露出させている、多層キャビティと、前記多層キャビティの底部の集積回路取付面と、前記キャビティの前記集積回路取付面に取り付けられる複数の集積回路と、少なくとも1つの前記集積回路から、前記多層キャビティの少なくとも2つの層におけるパターン化メタライゼーションの露出部分へと延びる、第1の組をなすワイヤボンダと、少なくとも1つの前記集積回路から、隣接する前記集積回路のボンダパッドへと延びる、第2の組をなすワイヤボンダと、少なくとも1つの前記集積回路から、隣接する前記集積回路のボンダパッドへと延び、前記第2の組をなすワイヤボンダよりも高いループ高さを有する、第3の組をなすワイヤボンダとを備えていることを特徴とする、マルチチップモジュール。

【0040】7. 前記第1の組をなすワイヤボンダが、少なくとも1つの前記集積回路から、前記多層キャビティの第1の層におけるパターン化メタライゼーションの

12

露出したボンダパッドへと延びる、第1のワイヤボンダと、少なくとも1つの前記集積回路から、前記多層キャビティの第2の層におけるパターン化メタライゼーションの露出したボンダパッドへと延びる、第2のワイヤボンダと、少なくとも1つの前記集積回路から、前記多層キャビティの第3の層におけるパターン化メタライゼーションの露出したボンダパッドへと延びる、第3のワイヤボンダと、少なくとも1つの前記集積回路から、前記多層キャビティの第4の層におけるパターン化メタライゼーションの露出したボンダパッドへと延びる、第4のワイヤボンダとからなる、前項6に記載のマルチチップモジュール。

【0041】8. 前記の第2及び第3の組をなすワイヤボンダが、少なくとも1つの前記集積回路の同じ側に位置している、前項6に記載のマルチチップモジュール。

【図面の簡単な説明】

【図1】本発明によるマルチチップモジュールの一部を示す平面図である。

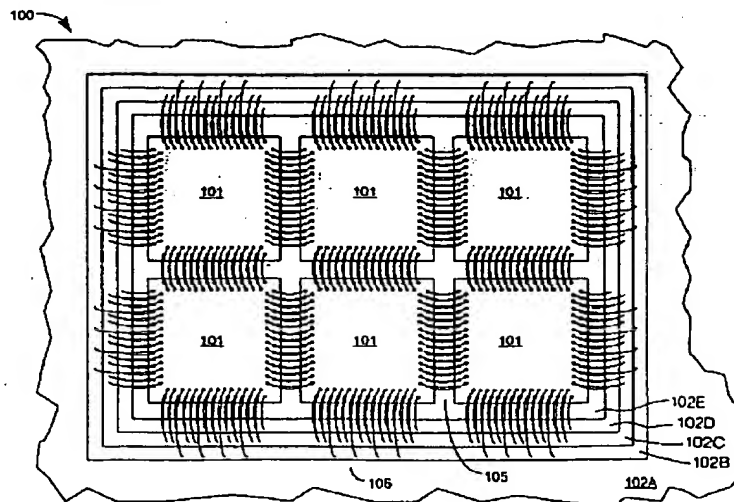
【図2】図1に示すマルチチップモジュールの拡大断面図である。

【図3】本発明によるマルチチップモジュールの一部を簡素化して示す断面図である。

【符号の説明】

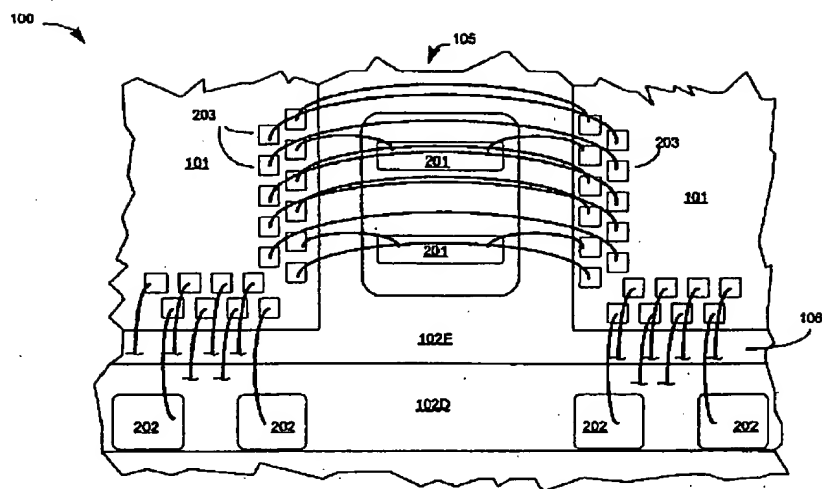
100	MCM
101	IC
102D	基盤層
102E	取付面
105	ワイヤボンダ
201, 202, 203	ボンダパッド

【図1】



(8)

【図2】



【図3】

